

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168219

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

BEST AVAILABLE COPY

(21)Application number : 11-361877

(71)Applicant : SONY CORP

(22)Date of filing : 20.12.1999

(72)Inventor : FUJIWARA ICHIRO

(30)Priority

Priority number : 11277642

Priority date : 29.09.1999

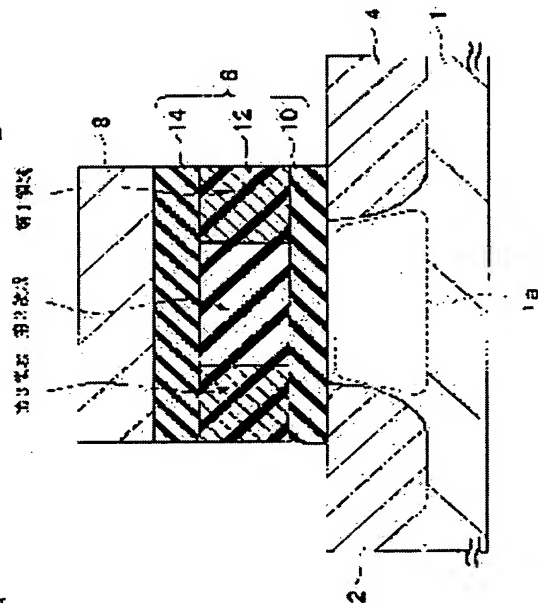
Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance a write speed, keeping an operation voltage low, in a MONOS-type memory transistor.

SOLUTION: This device is equipped with a substrate 1, a channel formation region 1a for a semiconductor provided at the surface of the substrate, first and second impurity regions 2 and 4 made at the surface of the substrate with the channel formation region 1a in-between, a gate insulating film 6 including within a charge accumulating means (carrier trap) dispersed in the direction of interior of the face opposed to the channel formation area 1a and the direction of film thickness, and a gate electrode 8 provided on the gate insulating film 6. Charge is accelerated in the vertical direction to the substrate such as substrate hot electron, secondary collision ionized hot electron, or the like, or a step 1b is made at the surface of the channel formation region 1a. As a result, the charge accumulating means comes to be positioned in the direction of charge accumulation, and implantation efficiency rises.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

출력 일자: 2004/11/30

발송번호 : 9-5-2004-050573381

수신 : 서울 강남구 역삼동 827-25 3층 (고려국

발송일자 : 2004.11.29

제특허법률사무소)

제출기일 : 2005.01.29

임창현 귀하

135-080

특허청 의견제출통지서

출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)
주소 경기도 수원시 영통구 매탄동 416
대리인 성명 임창현 외 1 명
주소 서울 강남구 역삼동 827-25 3층 (고려국제특허법률사무소)
출원번호 10-2003-0008789
발명의 명칭 비휘발성 소노스 메모리 소자 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-17항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 청구항 제1-4항의 계단형 채널을 갖는 비휘발성 소노스 메모리 소자는 인용발명1(일본공개특허공보 평13-168219호(2001.06.22))의 계단형 채널을 갖는 비휘발성 소노스 메모리 소자 및 인용발명2(미국특허공보 6087230호(2000.07.11))의 계단형 채널을 갖는 비휘발성 반도체 기억장치 등에서 용이하게 발명할 수 있는 것입니다. (특허법 제29조제2항)
2. 청구항 제5-17항의 계단형 패턴을 형성하는 단계, 오옴노 절연막을 형성하는 단계를 갖는 비휘발성 소노스 메모리 소자의 제조방법은 인용발명1의 계단형 패턴을 형성하는 단계, 오옴노 절연막을 형성하는 단계를 갖는 비휘발성 소노스 메모리 소자의 제조방법 및 인용발명2의 계단형 패턴을 형성하는 단계, 오옴노 절연막을 형성하는 단계를 갖는 비휘발성 반도체 기억장치 제조방법 등에서 용이하게 발명할 수 있는 것입니다. (특허법 제29조제2항)

[첨부]

첨부 1 일본공개특허공보 평13-168219호(2001.06.22) 1부:

첨부2 미국특허공보 6087230호 끝.

2004.11.29

특허청

전기전자심사국

응용소자심사담당관실

심사관 김근모



출력 일자: 2004/11/30

<<안내>>

문의사항이 있으시면 ☎ 042-481-5985 로 문의하시기 바랍니다.
서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-168219
(P2001-168219A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.	識別記号	F I	チエート(参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 F 0 0 1
	29/788	27/10	4 3 4	5 F 0 8 3
	29/792			5 F 1 0 1
	27/115			

審査請求 未請求 請求項の数40 O L (全 24 頁)

(21) 出願番号	特願平11-361877	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成11年12月20日 (1999. 12. 20)	(72) 発明者	藤原 一郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平11-277642	(74) 代理人	100094053 弁理士 佐藤 隆久
(32) 優先日	平成11年9月29日 (1999. 9. 29)		
(33) 優先権主張国	日本 (J P)		

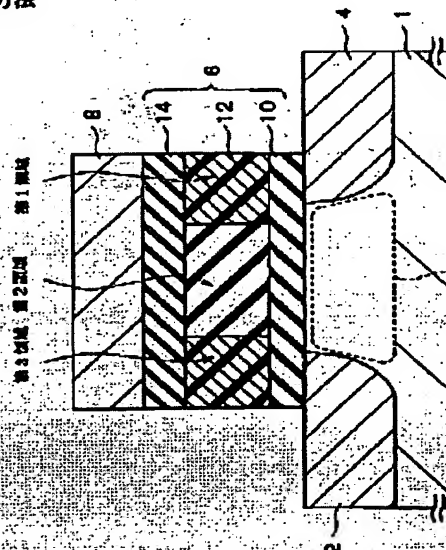
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその駆動方法

(57) 【要約】

【課題】 MONOS 型メモリトランジスタにおいて、動作電圧を低電圧化したまま、書き込み速度を向上させる。

【解決手段】 基板 1 と、基板表面に設けられた半導体のチャネル形成領域 1 a と、チャネル形成領域 1 a を挟んで基板表面に形成された第 1、第 2 不純物領域 2、4 と、チャネル形成領域 1 a に対向する面内および膜厚方向に離散化された電荷蓄積手段 (キャリアトラップ) を内部に含むゲート絶縁膜 6 と、ゲート絶縁膜 6 上に設けられたゲート電極 8 とを備える。基板ホットエレクトロン、2 次衝突電離ホットエレクトロンなど基板と垂直方向に電荷を加速させる、あるいは、チャネル形成領域 1 a の表面に電差 1 b を形成する。その結果、電荷蓄積手段が電荷加速方向に位置することとなり、注入効率が高まる。



【特許請求の範囲】

【請求項 1】 基板と、

当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、
当該ゲート絶縁膜上に設けられたゲート電極と、
上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化され、かつ、動作時に電荷が加速される方向に設けられている電荷蓄積手段とを有する不揮発性半導体記憶装置。

【請求項 2】 上記電荷蓄積手段に注入される電荷がホットエレクトロンである請求項 1に記載の不揮発性半導体記憶装置。

【請求項 3】 上記電荷の加速が、主に、上記第1不純物領域と上記ゲート電極との間の垂直電界成分により行われる請求項 1に記載の不揮発性半導体記憶装置。

【請求項 4】 上記電荷蓄積手段は、動作時に上記電荷が注入される上記第1不純物領域側の第1領域と、電荷が注入されない第2領域とを有する請求項 3に記載の不揮発性半導体記憶装置。

【請求項 5】 上記電荷蓄積手段は、上記第2領域を挟んで上記第1領域とチャネル方向に対峙した上記第2不純物領域側の位置に、動作時に電荷が注入される第3領域を有する請求項 4に記載の不揮発性半導体記憶装置。

【請求項 6】 上記電荷蓄積手段に注入される電荷は、2次衝突電離により発生したホットエレクトロンである請求項 3に記載の不揮発性半導体記憶装置。

【請求項 7】 上記電荷蓄積手段に注入される電荷は、上記チャネル形成領域の空乏層内で加速されて発生した基板ホットエレクトロンである請求項 3に記載の不揮発性半導体記憶装置。

【請求項 8】 上記チャネル形成領域の表面に、上記第1不純物領域を上記第2不純物領域に対して相対的に低くする段差が設けられ、

上記電荷の加速が、主に、上記第1および第2不純物領域間の水平電界成分により上記段差の上部側でチャネル形成領域に沿って行われる請求項 1に記載の不揮発性半導体記憶装置。

【請求項 9】 上記段差と上記第1不純物領域との間のゲート絶縁膜部分を中心に上記電荷蓄積手段が形成されている請求項 8に記載の不揮発性半導体記憶装置。

【請求項 10】 上記電荷が加速される上記段差上部のチャネル方向の長さが、チャネル内電荷の平均自由行程以下である請求項 8に記載の不揮発性半導体記憶装置。

【請求項 11】 上記電荷が加速される上記段差上部のチャネル方向の長さが、チャネル内電荷が不純物散乱の影響を受けずに走行できる所定距離以下の範囲内に設定さ

れている請求項 8に記載の不揮発性半導体記憶装置。

【請求項 12】 上記電荷が加速される上記段差上部のチャネル方向の長さが、50nm以下である請求項 8に記載の不揮発性半導体記憶装置。

【請求項 13】 前記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、前記チャネル形成領域に対向する面全体としての導電性を持たない請求項 1に記載の不揮発性半導体記憶装置。

【請求項 14】 前記ゲート絶縁膜は、前記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項 13に記載の不揮発性半導体記憶装置。

【請求項 15】 前記ゲート絶縁膜は、前記チャネル形成領域上のボトム絶縁膜と、
前記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒徑導電体とを含む請求項 13に記載の不揮発性半導体記憶装置。

【請求項 16】 前記小粒徑導電体の粒徑が10ナノメートル以下である請求項 15に記載の不揮発性半導体記憶装置。

【請求項 17】 基板と、

当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、
当該ゲート絶縁膜上に設けられたゲート電極と、

上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有し、

上記チャネル形成領域の表面に、上記第1不純物領域を上記第2不純物領域に対し相対的に低くする段差が設けられている不揮発性半導体記憶装置。

【請求項 18】 基板と、

当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、
当該ゲート絶縁膜上に設けられたゲート電極と、

上記ゲート絶縁膜内で、上記チャネル形成領域に対向する面内および膜厚方向に離散化されている電荷蓄積手段とを有し、

上記ゲート電極は、上記チャネル形成領域の上記第1不純物領域側に、内部に電荷蓄積手段を有しない第1ゲート絶縁膜を介して積層された第1ゲート電極と、

上記チャネル形成領域の上記第2不純物領域側に、内部に電荷蓄積手段を有した第2ゲート絶縁膜を介して積層

された第2ゲート電極とを含む不揮発性半導体記憶装置。

【請求項 19】上記第2ゲート電極が、上記第1ゲート電極の側壁に絶縁膜を介して形成されている請求項 18に記載の不揮発性半導体記憶装置。

【請求項 20】上記チャネル形成領域の表面に、上記第1不純物領域に対し上記第2不純物領域を相対的に低くする段差を備える請求項 18に記載の不揮発性半導体記憶装置。

【請求項 21】基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、

動作時に、上記チャネル形成領域または周辺の空乏層内で電荷を加速させ、運動量を保持した状態で上記離散化された電荷蓄積手段内に注入する不揮発性半導体記憶装置の駆動方法。

【請求項 22】上記加速された電荷を、上記電荷蓄積手段の上記第1不純物領域側の部分に注入する請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 23】上記第1、第2不純物領域に対するバイアス印加条件を逆にして、上記電荷蓄積手段の上記第2不純物領域側の部分に注入する請求項 22に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 24】上記電荷の加速開始から注入までの走行距離が50nm以下である請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 25】上記電荷を、チャネル内でバリスチックに電気伝導させる請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 26】上記電荷の加速と注入を別々のゲート電極により制御する請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 27】上記ゲート電極に印加する電圧の最大値を5V以下とする請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 28】上記チャネル形成領域、上記第1、第2不純物領域、上記ゲート電極に印加する電圧の最大値を5V以下とする請求項 27に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 29】読み出し時に、上記第1不純物領域がソースとなるように上記第1および第2不純物領域間に所

定の読み出しドレイン電圧を印加し、

上記ゲート電極に所定の読み出しゲート電圧を印加する請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 30】上記電荷蓄積手段に部分的に注入された電荷に応じて記憶された複数ビットのデータを、上記第1、第2不純物領域間で電圧印加方向を変えて読み出す請求項 23に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 31】消去時に、上記第1不純物領域側から注入され上記電荷蓄積手段に保持されている電荷を、直接トンネリングまたはF-Nトンネリングにより第1不純物領域側に引く抜く請求項 22に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 32】消去時に、上記第1または第2不純物領域側から注入され上記電荷蓄積手段にチャネル方向の両側に分離されて保持されている電荷を、直接トンネリングまたはF-Nトンネリングにより個別にあるいは一括して基板側に引く抜く請求項 23に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 33】前記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、前記チャネル形成領域に対向する面全体としての導電性を持たない請求項 21に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 34】前記ゲート絶縁膜は、前記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項 33に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 35】前記ゲート絶縁膜は、前記チャネル形成領域上のボトム絶縁膜と、

前記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項 33に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 36】前記小粒径導電体の粒径が1.0nm以下である請求項 35に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 37】基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、

上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、

動作時に、上記チャネル形成領域にできたチャネル内で

電荷を加速させ、パリスチックな電気伝導現象を利用して上記離散化された電荷蓄積手段内に注入する不揮発性半導体記憶装置の駆動方法。

【請求項 38】 基板と、

当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、

上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、

動作時に、2次衝突電離により発生したホットエレクトロンを上記離散化された電荷蓄積手段内に注入する不揮発性半導体記憶装置の駆動方法。

【請求項 39】 基板と、

当該基板の表面に設けられた半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、

上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、

動作時に、上記チャネル形成領域にできた空乏層内で電荷を加速させ、基板ホットエレクトロンにして上記離散化された電荷蓄積手段内に注入する不揮発性半導体記憶装置の駆動方法。

【請求項 40】 基板と、

当該基板の表面に設けられ半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、

上記チャネル形成領域上に形成されたゲート絶縁膜と、

当該ゲート絶縁膜上に形成されたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、パリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが注入される電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、

消去時に、上記第1および/または第2不純物領域側か

ら注入され上記電荷蓄積手段にチャネル方向の一方側または両側に保持されている電荷を、直接トンネリングまたはFNトンネリングにより個別にあるいは一括して基板側に引き抜く不揮発性半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS型やMNO S型における空乏膜内の電荷トラップ、トッパ絶縁膜と空乏膜との界面近傍の電荷トラップ、或いは小粒徑導電体等）を有し、当該電荷蓄積手段に対し電荷（電子またはホール）を電気的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置と、その駆動方法とに関する。

【0002】

【従来の技術】 不揮発性半導体メモリは、大容量で小型の情報記録媒体として期待されているが、近年、情報ネットワークの広帯域化とともにネットワークの伝送速度（たとえば搬送波周波数：100MHz）と同等の書き込み速度が要求されるようになってきている。このため、不揮発性半導体メモリに対し、スケーリング性が良好で従来の100p.s.e.c./セルの書き込み速度より1桁またはそれ以上の書き込み速度の向上が要求されている。

【0003】 不揮発性半導体メモリは、電荷を保持する電荷蓄積手段が平面的に連続したFG(Floating Gate)型のほかに、電荷蓄積手段が平面的に離散化された、例えばMONOS(Metal-Oxide-Nitride-Oxide Semiconductor)型などがある。

【0004】 MONOS型不揮発性半導体メモリでは、電荷保持を主体的に担っている空乏膜($Si \times Ny$ ($0 < x < 1$, $0 < y < 1$)) 膜中またはトッパ絶縁膜と空乏膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜のほかに、 $Si \times Ny$ 膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0005】 このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG型では多くの電荷がリークパスを通過してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークパス周辺の局所的な電荷がリークパスを通過して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS型においては、トンネル絶縁膜の薄層化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS型の方がFG型よりも優れている。また、平面的に

離散化したキャリアトラップの分布平面に対し電荷が局所的に注入された場合、その電荷はFG型のように平面内および膜厚方向に拡散することなく保持される。

【0006】MONOS型不揮発性メモリで微細メモリセルを実現するにはディスタブ特性の改善が重要であり、そのためにはトンネル絶縁膜を通常の膜厚(1.6nm~2.0nm)より厚く設定する必要が生じている。

【0007】

「発明が解決しようとする課題」ところが、従来のMONOS型不揮発性メモリにおいて、トンネル絶縁膜を厚膜化したり動作電圧を低減することは書き込み速度向上にとっては益々不利な状況となっている。このため、従来のMONOS型等の不揮発性メモリでは、信頼性(たとえば、データ保持特性、リードディスタブ特性あるいはデータ書換え特性など)を十分に満足させた場合、書き込み速度は100psecが限界である。

【0008】書き込み速度だけを考えると、チャネルホットエレクトロン(CHE)を用いた注入方式のほうが、チャネル全面FNT(トンネル)より高速化しやすい。ところが、ドレイン端でCHEを発生させる通常のCHE注入方式では、注入効率が 1×10^{-6} と十分ではない。また、注入効率を上げるために、CHEをソース側から注入するソースサイド注入型MONOSTランジスタが報告されたが(IEEE Electron. Device Letter 19, 1998, pp153.)、このソースサイド注入型MONOSTランジスタでは、動作電圧が書き込み時12V、消去時14Vと高いうえ、リードディスタブ特性およびデータ書換え特性などの信頼性が十分でない。

【0009】このように、従来のMONOS型等の不揮発性メモリでは、書き込み速度の向上と、動作電圧の低電圧化および信頼性確保がトレードオフの関係にある。このトレードオフの克服は、高速な大容量不揮発性メモリを開発するうえで、さらに近年盛んに開発が進められているシステムLSIにおいてロジック回路との混載の観点から、重要な課題となっていた。

【0010】本発明の目的は、MONOS型など平面的に離散化されたキャリアトラップ等に電荷を蓄積させて基本動作するメモリトランジスタにおいて、リードディスタブ特性などの信頼性を良好に維持し、また動作電圧を低電圧化したまま、書き込み速度を向上することが可能な構造を有する不揮発性半導体記憶装置と、その駆動方法を提供することである。

【0011】

【課題を解決するための手段】本発明の第1の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化され、かつ、動作時に電荷が加速される方向に設けられている電荷蓄積手段とを有する。この電荷が主に加速される方向は、基板に水平方向と垂直方向の何れでもよい。

【0012】この第1の観点に係る不揮発性半導体記憶装置は、離散化された電荷蓄積手段を電荷が加速される方向に設けていることから、注入の際に電荷の運動量が維持されやすい。このため、電荷蓄積手段に対し効率よく電荷が注入される。

【0013】本発明の第2の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有し、上記チャネル形成領域の表面に、上記第1不純物領域を上記第2不純物領域に対し相対的に低くする段差が設けられている。

【0014】好適に、上記段差と上記第1不純物領域との間のゲート絶縁膜部分を中心に上記電荷蓄積手段が形成されている。好適に、上記電荷が加速される上記段差上部のチャネル方向の長さ(たとえば、チャネル形成領域の第2不純物領域端から段差までの長さ)が、チャネル内電子の平均自由行程以下である。あるいは、この長さは、チャネル内電子が不純物散乱の影響を受けずに走行できる所定距離以下の範囲内、たとえば50nm以下に設定されている。

【0015】一般に、ホットエレクトロン注入を用いて書き込みを行う不揮発性半導体記憶装置では、ソースとドレイン間に所定のバイアス電圧が印加され、またゲート電極に所定の書き込み電圧が印加されたときに、形成されたチャネル内にソースから供給された電荷(この場合、電子)が電界加速される。その加速によりドレイン近傍で高エネルギーを得た電荷(ホットエレクトロン)は、ゲート電極による電界に引き付けられて電荷蓄積手段に注入される。

【0016】本発明の第2の観点に係る不揮発性半導体記憶装置は、基板表面に段差を設け、段差の低い側でONOFFなどの内部に電荷蓄積手段(キャリアトラップ)を有するゲート絶縁膜を設けている。したがって、ドレイン近傍で発生した高エネルギー電荷(たとえば、ホットエレクトロン)は、その運動量(方向と大きさ)を維持しながら殆ど運動エネルギーを失うことなく効率良く、しかも高速にキャリアトラップに注入される。第2の観点に係る不揮発性半導体記憶装置は、第1の観点に係る不揮発性半導体記憶装置の水平電荷加速の一形態を

示す。この電荷が加速される段差上部のチャネル方向の長さたとえば50nm以下とすると、電荷がチャネル内を不純物散乱等の影響を受けずにバリスチックに伝導する。したがって、電荷注入の効率、速度が更に高まる。

【0017】本発明の第3の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向する面内および膜厚方向に離散化されている電荷蓄積手段とを有し、上記ゲート電極は、上記チャネル形成領域の上記第1不純物領域側に、内部に電荷蓄積手段を有しない第1ゲート絶縁膜を介して被覆された第1ゲート電極と、上記チャネル形成領域の上記第2不純物領域側に、内部に電荷蓄積手段を有した第2ゲート絶縁膜を介して被覆された第2ゲート電極とを含む。好適に、第2ゲート電極が第1ゲート電極の側壁に絶縁膜を介して形成されている。

【0018】この第3の観点に係る不揮発性半導体記憶装置では、第1不純物領域側の第1ゲート電極、第2不純物領域側の第2ゲート電極が別々に設けられている。したがって、加速時のゲート電圧印加条件と、注入時のゲート電圧印加条件を別々に設定でき、それだけ、注入効率を最大化して書き込みを高速化するための制御がしやすい。第1ゲート電極側のゲート絶縁膜（第1ゲート絶縁膜）内に電荷蓄積手段を形成しないので、第1ゲート絶縁膜を薄くして加速電界を大きくできる。また、加速電界を一定とすれば、印加電圧を下げることができる。一方、第2ゲート電極をサイドウォール形とした場合、セル面積が小さくて済む。

【0019】本発明の第4の観点に係る不揮発性半導体記憶装置の駆動方法は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、動作時に、上記チャネル形成領域または周辺の空乏層内で電荷を加速させ、運動量保持した状態で上記離散化された電荷蓄積手段内に注入する。好適に、書き込みの際に、電荷蓄積手段の第1不純物領域側と第2不純物領域側に独立に部分的な電荷注入を行う。具体的には、電圧印加条件を逆にして書き込みを行う。読み出しでは、好適に、読み出すべき情報に対応した電荷がソース側となるように、

第1、第2不純物領域間の電圧印加方向を決め、所定の読み出しドレイン電圧を印加し、また、ゲート電極に所定の読み出しゲート電圧を印加する。複数ビットの読み出しでは、このような読み出しを、第1、第2不純物領域間の電圧印加方向を逆にして行う。消去では、上記第1および/または第2不純物領域側から注入された電荷蓄積手段にチャネル方向の一方側または両側に保持されている電荷を、直接トンネリングまたはFNTトンネリングにより個別にあるいは一括して基板側に引く抜く。

【0020】本発明の第5の観点に係る不揮発性半導体記憶装置の駆動方法は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、動作時に、上記チャネル形成領域にできたチャネル内で電荷を加速させ、バリスチックな電気伝導現象を利用して上記離散化された電荷蓄積手段内に注入する。

【0021】本発明の第6の観点に係る不揮発性半導体記憶装置の駆動方法は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、動作時に、2次衝突電離により発生したホットエレクトロンを上記離散化された電荷蓄積手段内に注入する。

【0022】本発明の第7の観点に係る不揮発性半導体記憶装置の駆動方法は、基板と、当該基板の表面に設けられた半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に設けられたゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記ゲート絶縁膜内で、上記チャネル形成領域に対向した面内および膜厚方向に離散化されている電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、動作時に、上記チャネル形成領域にできた空乏層内で電荷を加速させ、基板ホットエレクトロンにして上記離散化された電荷蓄積手段内に注入する。

【0023】本発明の第8の観点に係る不揮発性半導体記憶装置の駆動方法は、基板と、当該基板の表面に設け

られ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に形成されたゲート絶縁膜と、当該ゲート絶縁膜上に形成されたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが注入される電荷蓄積手段とを有する不揮発性半導体記憶装置の駆動方法であって、消去時に、上記第1および/または第2不純物領域側から注入され上記電荷蓄積手段にチャネル方向の一方側または両側に保持されている電荷を、直接トンネリングまたはFNTトンネリングにより個別にあるいは一括して基板側に引き抜く。

【0024】第4～第7の観点に係る不揮発性半導体記憶装置の駆動方法では、たとえば、電荷を介したチャネルホットエレクトロン注入、バリスチック伝導を用いた電荷注入、2次衝突電離ホットエレクトロン注入または基板ホットエレクトロン注入を用いるために、電荷注入の効率がよく、使用電圧が低くても十分に高速な書き込みが可能である。本発明では、注入方式を適宜選択することで、電荷が加速される方向を基板に水平方向のほか垂直方向にすることもでき、また、平面的に離散化された電荷蓄積手段に対し電荷を部分的に注入することもできる。また、第8の観点に係る不揮発性半導体記憶装置の駆動方法では、電荷を基板側にトンネリングに引き抜くことにより消去を行うことから、従来のように消去動作中にボトム絶縁膜内をホールが多量に移動することがない。なお、本発明は、ゲート絶縁膜内でボトム絶縁膜上に窒化膜または酸化窒化膜を含むMONOS型またはMNOS型等、あるいはゲート絶縁膜内でボトム絶縁膜上に互いに絶縁された小粒徑導電体を含む小粒徑導電体型に好適である。

【0025】

【発明の実施の形態】第1実施形態

図1は、本発明の実施形態に係るソース線分離NOR型の不揮発性半導体メモリのメモリセルアレイの概略構成を示す回路図である。

【0026】この不揮発性メモリ装置では、NOR型メモリセルアレイの各メモリセルがメモリトランジスタ1個で構成されている。図1に示すように、メモリトランジスタM11～M22が行列状に配置され、これらトランジスタ間がワード線W1、ビット線および分離型ソース線によって配線されている。すなわち、ビット方向に隣接するメモリトランジスタM11およびM12の各ドレインがビット線BL1に接続され、各ソースがソース線SL1に接続されている。同様に、ビット方向に隣接するメモリトランジスタM21およびM22の各ドレインが

ビット線BL2に接続され、各ソースがソース線SL2に接続されている。また、ワード方向に隣接するメモリトランジスタM11とM21の各ゲートがワード線WL1に接続され、同様に、ワード方向に隣接するメモリトランジスタM12とM22の各ゲートがワード線WL2に接続されている。メモリセルアレイ全体では、このようなセル配置およびセル間接続が繰り返されている。

【0027】図2は、第1実施形態に係る微細NOR型メモリセルアレイの概略平面図である。また、図3は、図2のA-A'線に沿った断面側から見た鳥瞰図である。

【0028】この微細NOR型メモリセルアレイでは、図3に示すように、n型またはp型の半導体基板SUB（nウェルまたはpウェルでも可）の表面にトレンチまたはLOCOSなどから素子分離絶縁層ISOが形成されている。素子分離絶縁層ISOは、図2に示すように、ビット方向（図2の縦方向）に長い平行ストライプ状に配置されている。素子分離絶縁層ISOにほぼ直交して、各ワード線WL1、WL2、WL3、WL4、…が等間隔に配線されている。このワード線は、後述するように、ボトム絶縁膜、窒化膜、トップ絶縁膜からなるゲート絶縁膜と、ゲート電極とを積層させて構成されている。

【0029】各素子分離絶縁層ISOの間隔内の能動領域において、各ワード線の離間スペースに、基板101と逆導電型の不純物が高濃度に導入されてソース不純物領域（第2不純物領域）Sとドレイン不純物領域（第1不純物領域）Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向（図2の横方向）には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0030】ワード線の上部および側壁は、絶縁層で覆われている。すなわち、ワード線WL1、WL2、…の上部に同じパターンにてオフセット絶縁層が配置され、オフセット絶縁層、その下のゲート電極（ワード線）およびゲート絶縁膜からなる積層パターンの両側壁に、サイドウォール絶縁層が形成されている。このオフセット絶縁層およびサイドウォール絶縁層により、各ワード線同士のスペース部分に、ワード線に沿って細長い自己整合コンタクトホールが開口されている。

【0031】ソース不純物領域Sまたはドレイン不純物領域Dの一部重なるように、自己整合コンタクトホール内に導電性材料が互い違いに埋め込まれ、これによりビットコンタクトBCおよびソースコンタクトSCが形成されている。これらコンタクトBC、SCの形成では、自己整合コンタクトホール内を埋め込むように導電材料を堆積し、その上にエッチングマスク用のレジストパ

ターンを形成する。このとき、レジストパターンを自己整合コンタクトホール幅より一回り大きくし、また、一部を素子分離絶縁層150に重ねる。そして、このレジストパターンをマスクとしてレジストパターン周囲の導電材料をエッチングにより除去する。これにより、2種類のコンタクトBC、SCが同時に形成される。

【0032】図示しない絶縁膜でコンタクト周囲の凹部が埋め込まれている。この絶縁膜上を、ビットコンタクトBC上に接触するビット線BL1、BL2、…と、ソースコンタクトSC上に接触するソース線SL1、SL2、…が交互に、平行ストライプ状に形成されている。

【0033】この微細NOR型セルアレイは、そのビット線またはソース線に対するコンタクト形成が、自己整合コンタクトホールの形成と、プラグの形成により達成される。自己整合コンタクトホールの形成では、ワード線との絶縁分離が達成されるとともに、ソース不純物領域Sまたはドレイン不純物領域Dの表出面が均一に形成される。そして、ビットコンタクトBCおよびソースコンタクトSCの形成は、この自己整合コンタクトホール内のソース不純物領域Sまたはドレイン不純物領域Dの表出面に対して行う。したがって、各プラグの基板接触面は、そのビット方向のサイズがほぼ自己整合コンタクトホールの形成により決められ、その分、コンタクト面積のバラツキは小さい。

【0034】ビットコンタクトBCまたはソースコンタクトSCと、ワード線との絶縁分離が容易である。すなわち、ワード線形成時に一括してオフセット絶縁層を形成しておき、その後、絶縁膜の成膜と、全面エッチング（エッチバック）を行うだけでサイドウォール絶縁層が形成される。また、ビットコンタクトBCとソースコンタクトSC、さらに、ビット線とソース線が同一層の導電層をパターンニングして形成されるため、配線構造が極めて簡素であり、工程数も少なく、製造コストを低く抑えるのに有利な構造となっている。しかも、無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小値Fで行った場合、BF2に近い非常に小さいセル面積で製造できる。

【0035】図4は、本実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

【0036】図4中、符号1はn型またはp型の導電型を有するシリコンウエハ等の半導体基板SUBまたはウエル（以下、基板という）、1aはチャネル形成領域、2および4は当該メモリトランジスタのソース不純物領域Sおよびドレイン不純物領域Dを示す。本発明で“チャネル形成領域”とは、表面側内部に電子または正孔が導電するチャネルが形成される領域をいう。本例の“チャネル形成領域”は、基板内でソース不純物領域2およびドレイン不純物領域4に挟まれた部分が該当する。

【0037】ソース不純物領域2およびドレイン不純物領域4は、チャネル形成領域1aと逆導電型の不純物を

高濃度に基板1に導入することにより形成された導電率が高い領域であり、種々の形態がある。通常、ソース不純物領域2及びドレイン不純物領域4のチャネル形成領域1aに臨む基板表面位置に、LDD(Lightly Doped Drain)と称する低濃度領域を具備させることが多い。

【0038】チャネル形成領域1a上に、ゲート絶縁膜6を介してメモリトランジスタのゲート電極8が積層されている。ゲート電極8は、一般に、p型またはn型の不純物が高濃度に導入されて導電化されたポリシリコン(doped poly-Si)、又はdoped poly-Siと高融点金属シリサイドとの積層膜からなる。このゲート電極8のチャネル方向の長さ（ゲート長）は、0.25 μ m以下、たとえば0.18 μ m程度である。

【0039】本実施形態におけるゲート絶縁膜6は、下層から順に、ボトム絶縁膜10、窒化膜12、トップ絶縁膜14から構成されている。ボトム絶縁膜10は、たとえば、酸化膜を形成し、これを窒化処理して用いる。ボトム絶縁膜10の膜厚は、使用用途に応じて2.0nmから5.0nmの範囲内で決めることができ、ここでは5.0nmに設定されている。

【0040】窒化膜12は、例えば5.0nmの窒化シリコン(Si₃N₄) (0<x<1, 0<y<1)膜から構成されている。この窒化膜12は、たとえば減圧CVD(LP-CVD)により作製され、膜中にキャリアトラップが多く含まれ、プールフレンケル型(PF型)の電気伝導特性を示す。

【0041】トップ絶縁膜14は、窒化膜12との界面近傍に深いキャリアトラップを高濃度に形成する必要がある。このため、例えば成膜後の窒化膜を熱酸化して形成される。また、トップ絶縁膜14をHTO(High Temperature chemical vapor deposited Oxide)法により形成したSiO₂膜としてもよい。トップ絶縁膜14がCVDで形成された場合は熱処理によりこのトラップが形成される。トップ絶縁膜14の膜厚は、ゲート電極8からのホールの注入を有効に阻止してデータ書き換え可能な回数の低下防止を図るために、最低でも3.0nm、好ましくは3.5nm以上が必要である。ここでは、トップ絶縁膜厚を3.5nmとする。

【0042】このような構成のメモリトランジスタの製造においては、まず、用いた半導体基板に素子分離絶縁層150、ウエルWを形成し、しきい値電圧調整用のイオン注入等を必要に応じて行った後に、ゲート絶縁膜6を成膜する。具体的に、たとえば、長時間高温熱処理法(RTO法)により1000℃、10secの熱処理を行い、酸化シリコン膜（ボトム絶縁膜10）を形成する。つぎに、ボトム絶縁膜10上にLP-CVD法により窒化シリコン膜（窒化膜12）を、最終膜厚が5nmとなるように、これより厚めに堆積する。このCVDは、たとえば、シクロロシラン(DCS)とアンモニアを混合したガスを用い、基板温度650℃で行う。形成

した窒化シリコン膜表面を熱酸化法により酸化して、たとえば3.5nmの酸化シリコン膜(トップ絶縁膜14)を形成する。この熱酸化は、たとえばH₂O雰囲気中において炉温度950℃で行う。これにより、トラップレベル(窒化シリコン膜の伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約1~2×10¹³/cm²の密度で形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜(トップ絶縁膜14)が約1.6nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚が5nmとなる。

【0043】ゲート電極8となる導電膜、オフセット絶縁層(不図示)の積層膜を積層させる。そして、このゲート絶縁膜6、導電膜およびオフセット絶縁層の積層膜を一括して同一パターンにて加工する。形成した積層パターンと自己整合的にソースおよびドレイン不純物領域2, 4を、イオン注入法により形成する。

【0044】続いて、図3のメモリセルアレイ構造とするために、サイドウォール絶縁層とともに自己整合コンタクトホールを形成し、自己整合コンタクトホールにより露出するソースおよびドレイン不純物領域S, D(ソースおよびドレイン不純物領域2, 4)上にビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらコンタクト周囲を層間絶縁膜で埋め込み、層間絶縁膜上にビット線BL1, ...およびソース線SL1, ...を形成した後、必要に応じて行う層間絶縁膜を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0045】つぎに、このような構成の不揮発性メモリの書き込み時のバイアス設定例および動作について、メモリトランジスタM11にデータを書き込む場合を例に説明する。本実施形態では、書き込みを2次衝突電離により発生したホットエレクトロンを用いて行う。2次衝突電離ホットエレクトロン注入では、ドレイン近傍で発生した基板電流となる正孔がドレイン近傍の空乏層を横切って基板に注入されるときに、空乏層内で電界からエネルギーを受け取って電子、正孔対が発生させ、このうち発生した電子が電界によって主に垂直方向に加速され、電荷蓄積手段に注入される。

【0046】書き込み時に、図4において、たとえば、ソース不純物領域2に0V、ドレイン不純物領域4に3.3V、ゲート電極8に5V、ウェル1に3Vを印加する。この条件下、ドレイン不純物領域4から注入され近傍の空乏層に入った正孔がシリコン原子に衝突し、この衝突によって当該空乏層内で電子、正孔対が発生する。そのうち正孔はより電位が低い基板側へ消散するが、電子は、ゲート電極と基板間の電界で加速されて空乏層を上方に向かって加速される。この加速によって電子はホットエレクトロンとなり、その一部がボトム絶縁

膜10のエネルギー障壁を乗り越えて窒化膜12中の電荷蓄積手段(キャリアトラップ)に注入される。このとき、衝突を引き起こす正孔が注入される側、すなわち図4における第1領域に注入電子の分布が局在する。このため、当該メモリトランジスタM11のしきい値電圧が消去状態の場合に書き込み状態まで上昇し、書き込みがなされる。選択ワード線に達する複数のメモリセルに対し、この書き込みと書き込み禁止を電圧印加条件を変えて適宜設定することで、ページ書き込みが可能である。

【0047】読み出しでは、バイアス値を書き込み状態に応じてチャネルが形成される程度に変更する。たとえば、ドレイン不純物領域4を接地した状態で、ソース不純物領域2に1.5V、ゲート電極8に2Vを印加する。これにより、ページ読み出しの場合、電荷蓄積手段の第1領域に電子が注入されていない消去状態のメモリトランジスタではチャネルが形成され、電荷蓄積手段の第1領域に電子が注入された書き込み状態のメモリトランジスタではチャネルが形成されない。したがって、ビット線BL1, ...には、そのチャネル形成の有無に応じた電位変化が現出する。この電位変化をセンスアンプで検出すると、ページ内の記憶データが一括して読み出される。

【0048】消去では、チャネル全面から、あるいはドレイン不純物領域4側からF⁻N⁺トンネリングまたは直接トンネリングを用いて電荷を引く抜くことにより行う。

【0049】これに対し、1セル内に2ビットのデータを記憶するために、電荷蓄積手段のソース不純物領域側にも同様な書き込みを行う場合、この2回目の書き込みでは、ソースとドレインの印加電圧を1回目と逆とする。これにより、1回目と同様な2次衝突電離がソース不純物領域側で起こり、発生した電子が電荷蓄積手段のソース不純物領域側の領域(第3領域)に注入される。2ビットとも書き込み状態のセルでは、電荷蓄積手段の第1領域にホットエレクトロンが注入されて保持され、これと独立に、第3領域にホットエレクトロンが注入され保持されている。つまり、電荷蓄積手段の第1領域と第3領域との間にはホットエレクトロンが注入されない第2領域が介在するので、この2ビット情報に対応したホットエレクトロンは確実に峻別される。

【0050】第3領域に保持された電荷の読み出しは、第1領域の電荷の場合とはソースとドレイン間の電圧方向を逆にして行う。これにより、2ビットのデータを独立に読み出すことができる。消去も、前記した第1領域側の消去と、ソース不純物領域2とドレイン不純物領域4の印加電圧を逆にして行う。なお、チャネル全面で消去を行う場合は、ソースおよびドレイン不純物領域2, 4を共に基板と同電位とすることで、第1領域側と第3領域側のデータが一括消去される。

【0051】書き込み状態、消去状態のメモリトランジスタの電流-電圧特性について検討した。この結果、ド

レイン電圧 1.5Vでの非選択セルからのオフリーク電流値は約1nAであった。この場合の読み出し電流は10pA以上であるため、非選択セルの誤読み出しが生じることではない。したがって、ゲート長0.18 μ mのMONOS型メモリトランジスタにおいて読み出し時のパンチスルー耐圧の余裕は十分あることが分かった。また、ゲート電圧1.5Vでのリードディスタープ特性も評価したが、3 \times 10⁸sec以上の時間経過後でも読み出しが可能であることが分かった。

【0052】データ書換え回数は、キャリアトラップが空間的に離散化されているために良好で、1 \times 10⁶回を満足することが分かった。また、データ保持特性は1 \times 10⁶回のデータ書換え後で85 $^{\circ}$ C、10年を満足した。

【0053】以上より、ゲート長0.18 μ mのMONOS型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。

【0054】本実施形態における2次元衝突電離ホットエレクトロン注入法では、離散化された電荷蓄積手段に対し、比較的に低いドレイン電流でホットエレクトロンの注入が可能である。したがって、書き込み時のパンチスルーが通常のホットエレクトロン注入と比較して抑制され、その結果、ゲート長のスケールリングが容易であるという利点がある。また、電荷が主に基板と垂直方向に加速されるため、加速電荷の運動量が維持されたまま注入が行われるため、通常のCHE注入方式に比べ、電荷の注入効率が低い。

【0055】第2実施形態

第2実施形態は、仮想接地NOR型の不揮発性メモリ装置に関する。仮想接地型は、大別すると、スプリットゲート型とAMG(Alternate Metal Vertical Ground)型がある。スプリットゲート型は選択トランジスタの機能を実質的にメモリトランジスタ内に具備させることで書き込みディスタープを防止する。AMG型は半導体不純物領域からなる拡散層配線を1本おきにメタル配線に接続させ、たとえば、メタル配線をビット線として、メタル配線間の拡散層配線をソース線として選択することで隣接セルの書き込みディスタープを防止する。

【0056】図5は、仮想接地NOR型のうちAMG型のメモリセルアレイ構成を示す回路図である。このメモリセルアレイでは、ソース線が隣接メモリセル間で共通化されている。この共通化されたソース線は隣りのメモリセルを動作させるときはビット線として機能する。したがって、このメモリセルアレイでは、ビット方向の配線は全て“ビット線”と称する。各ビット線BL1~BL3は、半導体の不純物領域からなる拡散層配線である。その1本おき、たとえばビット線BL1とBL3が、図示しないビットコンタクトを介して上層のメタル配線に接続されている。

【0057】このようにセルアレイ構造が異なる以外、

MONOS型メモリトランジスタ構造、および、書き込み、読み出しおよび消去動作の基本は、第1実施形態と同様である。仮想接地NOR型の場合、隣接するセルのビット線でソース線を代替えて用いることから、分離ソース線型と比べビット方向のサイズが縮小でき、セル面積6F2が達成できる。1つのメモリセルに物理的に2ビットのデータを記録することができ、この場合、ビット当たりのセル面積は実効的に3F2となる。

【0058】第3実施形態

本実施形態では、チャネルホットエレクトロン(CHE)注入書き込みと、チャネル全面トンネル消去を行う。書き込みは通常のCHE注入であり、ここでの詳細は省略する。

【0059】メモリトランジスタを図4と同じ構成とし、電荷蓄積手段の第1領域に保持された電子をチャネル全面から直接トンネリングを用いて引き抜く場合、ゲート電極8に0V、ドレイン不純物領域4に8V、ソース不純物領域2をオープン、ウェル1に8Vの電圧を印加する。これにより、電荷蓄積手段の第1領域に保持されていた電子が、基板側に引き抜かれることで、セル消去が行われる。このとき、消去速度は1msec程度であった。また、第3領域の電荷を消去するときは、第1領域側の消去と、ソース不純物領域2とドレイン不純物領域4の印加電圧を逆にして行う。さらに、第1、第3領域に電荷が保持されている場合、チャネル全面で消去を行う際に、ソースおよびドレイン不純物領域2、4を共に基板と同電位とすることで、第1領域側と第3領域側のデータを一括消去してもよい。

【0060】この消去方法では、ホットホール注入などに比べ動作中にボトム絶縁膜10を通過するホール量が増加し、そのためボトム絶縁膜10が劣化し、信頼性および耐久性(たとえば、エンデュランス特性)に優れる。

【0061】第4実施形態

第4実施形態では、基板ホットエレクトロン注入現象を利用した高速書き込み方法について、MONOS型メモリトランジスタを例として説明する。

【0062】基板ホットエレクトロン注入方式では、ソースとドレインを同電位で印加し、基板バイアス電圧を印加して、ゲート電極下に厚い空乏層を形成した状態で、空乏化しているチャネル形成領域に電荷(電子)を注入する。注入された電子は、空乏層内で加速されて絶縁膜の障壁エネルギー以上のエネルギーを得て、絶縁膜を越えて平面的に離散化された電荷蓄積手段に注入され、これにより書き込みがなされる。

【0063】本実施形態に係るMONOS型メモリトランジスタの第1の構成は、第1実施形態における図4と同じである。本実施形態では、基本構成は第1実施形態と同じであるが、ここでのゲート絶縁膜6の各構成膜10、12、14は、たとえば3/5/3、5nmとす。

る。また、このゲート絶縁膜6の作製およびメモリセルの作製は、前記した実施形態と同様な装置、プロセス条件を用いて行う。

【0064】 つぎに、メモリセル動作について説明する。ソース不純物領域2とウエル1間のpn接合に、当該pn接合が順方向と逆方向とで交互にバイアスされるACバイアス電圧を印加する。この場合、pn接合が順バイアスのときはpn接合より電子がpウエル1に注入される。ウエル内のチャネル形成領域は、基板バイアスにより空乏化させてある。このため、pn接合より注入された電子は、ゲートに印加された正バイアス電圧により加速されボトム絶縁膜10の障壁ポテンシャルを越えて電荷蓄積手段である空化膜12中のキャリアトラップにホットキャリア注入され、これにより書き込みがなされる。

【0065】 たとえば、ドレインをオープン、ウエル電位を0Vで保持した状態で、ゲート電極8に正バイアス電圧5V、ACバイアス電圧としてソース不純物領域2に対しパルス電圧を正方向に0.7V、逆方向にVccで印加した。その場合、ホットキャリア注入が高速に行われ、動作電圧5V以下で書き込み時間1μsec以下が実現できた。また、信頼性については、従来のFNTンネル注入方式のMONOS型メモリセルと同等の特性が得られた。

【0066】 電荷蓄積手段が平面的に離散化されているため、基板ホットエレクトロンの注入条件を変えることにより、空化膜12全面への注入のほか、空化膜12への部分的な注入が可能である。たとえば、上記のようにソース側からの注入では電荷蓄積手段のソース側部分（第1領域）への電荷注入がなされるが、逆に、ソースオープンとしてドレイン側から電荷を注入することにより電荷蓄積手段のドレイン側部分（第3領域）に電荷注入が可能である。図4の場合、第1領域と第2領域との間に、電荷が注入されない第2領域が形成されるため、2ビットの情報の峻別が可能である。また、消去の際の電荷の引き抜きも局所的に行われ、電荷注入されていない第2領域のしきい値電圧は変化しないため、過剰消去が防止され、消去状態のしきい値電圧の収束性が高いという利点がある。その一方、ソースとドレインに対し、大きな電圧値でACバイアス電圧を同じ位相で印加することにより、図4の第1、第3領域がつながり、電荷蓄積手段全体に電荷を注入することができる。

【0067】 図6に、本実施形態に係るMONOS型メモリトランジスタの第2の構造例を示す。図6に示すメモリトランジスタは、2重ウエル構造となっている。すなわち、p型半導体基板1にnウエル60が形成され、nウエル60内にpウエル61が形成され、このpウエル61内にメモリトランジスタが形成されている。他の基本構成は、図4と同じである。ただし、本例のゲート絶縁膜6の各構成膜10、12、14の膜厚仕様は、

3.5/5/4nmとした。

【0068】 nウエル60とpウエル61で構成されるpn接合を順バイアスすることにより、空乏化されたチャネル形成領域に電子を注入し、この電子をゲート電極側に電界加速した後、基板ホットエレクトロン注入で空化膜12内のキャリアトラップに注入する。

【0069】 たとえば、ドレインオープンとした状態で、ゲート電圧5V、ソース電圧Vccを設定し、nウエル60とpウエル61間に順方向に0.7Vを印加した。これにより、動作電圧5V以下で書き込み時間1μsec以下が実現できた。また、メモリセルの信頼性については、従来のFNTンネル注入方式のMONOS型メモリセルと同等の特性が得られた。

【0070】 基板ホットエレクトロン注入も、2次衝突電離の場合と同様に、動作電圧が5V以下と低いうえ、加速が主として基板に垂直に行われることから注入効率が低いという利点がある。

【0071】 第5実施形態

第5実施形態では、チャネル形成領域に段差を設け、この段差からCHE注入を行う。図7に、第5実施形態に係るMONOSメモリトランジスタの断面図を示す。

【0072】 このメモリトランジスタが、図4に示す第1実施形態に係るメモリトランジスタと異なる点は、チャネル形成領域1a部分の基板表面に段差1bが設けられていることである。段差1bは5〜50nm程度、たとえば10nmの高さを有し、相対的にソース不純物領域2側が高く、ドレイン不純物領域4側が低くなるように形成されている。他の構成は、第1実施形態と同様である。ただし、ここではゲート絶縁膜6の各構成膜10、12、14の膜厚仕様を、3.5/8.0/3.5nmとする。

【0073】 このような構成のメモリトランジスタの製造において、第1実施形態と異なる点は段差1bを形成することであるが、その詳細は後述の実施形態で述べる。

【0074】 つぎに、このような構成の不揮発性メモリに対するCHE注入書き込み動作について、図1のメモリトランジスタM11にデータを書き込む場合を例に説明する。

【0075】 書き込み時に、必要に応じて書き込みインビット電圧を設定した後、プログラム電圧を印加する。たとえば、選択ビット線BL1に5Vを印加し、非選択ワード線WL2、非選択ソース線SL2および非選択ビット線BL2に、基板電位0Vのときは所定の電圧、例えば3Vを印加する。また、選択ソース線SL1は、接地電位0Vで保持する。この状態で、選択ワード線WL1に、基板電位0Vのときは所定の電圧、例えば7Vを印加する。

【0076】 この書き込み条件下、ソース不純物領域2とドレイン不純物領域4との間のチャネル形成領域表面

に反転層（チャンネル）が形成され、チャンネル内にソース不純物領域2側から電子が注入されて、電界加速される。加速された電子が水平チャンネル端付近でホットエレクトロンとなり、その一部がボトム絶縁膜10のポテンシャル障壁を越えて高エネルギー注入され、ゲート絶縁膜6内のキャリアトラップに捕獲される。このため、当該メモリトランジスタM11のしきい値電圧が消去状態から書き込み状態まで上昇し、書き込みがなされる。

【0077】本実施形態に係るトランジスタ構造では、チャンネル形成領域1aの途中に段差1bが設けられ、段差1bの底部側にゲート絶縁膜6が延在する。したがって、ゲート絶縁膜6の膜厚仕様に合わせて段差1bの高さを最適化しておく、電子の進行方向の延長線上またはゲート電極8の印加電圧による電界で曲げられる軌跡上に、キャリアトラップの分布中心を位置させることができる。つまり、本実施形態に係るメモリトランジスタの書き込みでは、電界加速された電子の運動量（大きさと方向）をほぼ維持した状態でのキャリアトラップへの直接注入が可能となる。したがって、注入時のエネルギー損失が従来より低減し、高速で効率よく電荷注入が可能で、その結果として、書き込み速度の高速化が達成される。

【0078】従来のチャンネルホットエレクトロン注入では、エネルギー的に励起された後の散乱によりチャンネルから飛び出した電荷を電界でキャリアトラップ側に引き寄せていたため、その注入効率が 1×10^{-6} であり、100万個に1個と低い割合でしかなかった。これに対し、本実施形態に係るトランジスタ構造では、チャンネルホットエレクトロン注入の場合に注入効率が1倍以上改善され、 $10 \mu\text{sec}$ 以下の書き込み速度が達成できた。

【0079】さらに、電子が加速される部分のチャンネル長、すなわちソース不純物領域2の端から段差1bまでの距離をたとえば50nm以下に短くすると、この距離がチャンネル電子の平均自由行程と同程度またはそれ以下になるので、電界加速された電子がバリスチックにチャンネル内を電気伝導する。このバリスチック電子は、不純物散乱等の影響を受けずに強制的に高速にキャリアトラップに注入されるため、さらに注入効率が高くでき、データ書き込みが高速化される。

【0080】書き込み速度を現状維持とする場合、または、ある程度の高速化で十分である場合には、このようなトランジスタ構造および書き込み方法の適用によって、チャンネル形成領域（基板またはウエル）とゲート電極間の印加電圧を10V以下にすることができる。ゲート電極と基板またはウエルとの電圧印加を正電源と負電源で分割して行う場合、動作電圧を絶対値で5V以下に低減することが可能となる。

【0081】電荷の注入効率が上がるため、書き込み時のチャンネル電流を低減する余地が生まれる。したがって、従来のチャンネルホットエレクトロン注入では高電圧

回路の電流駆動能力の限界により難しかった、たとえば同一ワード線に接続された多数のメモリセルに対し一括して行う並列書き込みが可能になった。

【0082】なお、消去については、通常のごとく、チャンネル全面からのFNTトンネリングを用いた電荷引き抜きによりブロック一括して行った場合、その消去速度が100ms程度の程度であった。

【0083】第6実施形態
図8は、第6実施形態に係るMONOS型メモリトランジスタの断面図である。

【0084】このメモリトランジスタが第5実施形態のMONOS型メモリトランジスタと大きく異なる点は、ゲート電極がソース側の第1ゲート電極8aと、ドレイン側の第2ゲート電極8bに分割されていることである。第1ゲート電極8aは、電子が加速される部分、すなわち段差1b上部に対向して設けられ、第2ゲート電極8bは、主に段差1b底部に対向して設けられている。書き込み時において、第1ゲート電極8aは主に電荷を加速させるチャンネルの生成を制御し、第2ゲート電極8bは主に電荷を注入する電界の制御を行う。ゲート絶縁膜6を構成する膜のうち、窒化膜12とトップ絶縁膜14が第1ゲート電極8a側に延在していない。つまり、第1ゲート電極8aとチャンネル形成領域1aとの間にはボトム絶縁膜10のみ介在している。これに対し、第2ゲート電極8bとチャンネル形成領域1aとの間には、第5実施形態と同様に3層構造のゲート絶縁膜6が介在する。第1および第2ゲート電極8a、8bの隙間は絶縁層9aで埋め込まれ、また、第1および第2ゲート電極8a、8bの外側面には、それぞれサイドウォール絶縁層9bが形成されている。

【0085】このサイドウォール絶縁層9bの形成前後のイオン注入により、ソース・ドレイン不純物領域2、4とLDD領域2a、4aからなるLDD構造の不純物領域が基板1の表面に形成されている。また、ドレイン側のLDD領域4a端から段差1bにかけて、チャンネル形成領域1aの表面に薄くp型の不純物領域3が形成されている。なお、このp型の不純物領域3および上記LDD領域2a、4aは、必須の構成でない。

【0086】図9(A)～図10(E)に、このMONOS型メモリトランジスタの製造方法の一例を断面図により示す。

【0087】素子分離絶縁層およびウエル等を半導体基板の表面に形成した後、図9(A)において、基板1の表面に段差1bを形成する。この段差1bの形成では、図示のように、基板表面の一部をマスク層、たとえばレジストR1により覆った後、ドライエッチングによりレジストR1に保護されていないシリコン表面を所定深さエッチングする。続いて、同じレジストR1をマスク層としたイオン注入を行い、形成した段差1bの底部および側部にp型不純物領域3を形成する。

【0088】レジストR1を除去後、図9(B)では、ボトム絶縁膜10、窒化膜12およびトップ絶縁膜14を、第1実施形態と同様な方法によって、順次成膜する。その後、段差1bから、その底部側の一部を覆うマスク層、たとえばレジストR2のパターンを形成した後、ドライエッチングによりレジストR2周囲のトップ絶縁膜14および窒化膜12を除去する。

【0089】レジストR2を除去後、図9(C)では、ゲート電極となる導電膜、たとえばdoped poly-Si膜8cを堆積し、先の工程でパターンニングしたトップ絶縁膜14および窒化膜12上から段差上部の所定部分を覆うマスク層、たとえばレジストR3を形成する。このレジストR3をマスクとして、レジストR3周囲のdoped poly-Si膜8cを除去する。その後、同じレジストR3をマスク層としたイオン注入を行い、doped poly-Si膜8cより外側の基板1の表面に、低濃度のn型LDD領域2a、4aを形成する。このイオン注入の前または後で、レジストR3をマスク層としたエッチングにより、周辺部のボトム絶縁膜10を除去する。

【0090】レジストR3の除去後、図10(D)では、doped poly-Si膜8cの中央部分を横切る開口部を有するレジストR4を形成する。レジストR4をマスクとして、その開口部から露出するdoped poly-Si膜8cの中央部分を除去する。これにより、第1ゲート電極8aと、第2ゲート電極8bが分離して形成される。

【0091】レジストR4の除去後、図10(E)では、全面に、たとえば酸化シリコン系の絶縁膜を堆積し、第1および第2ゲート電極8a、8bの周囲を絶縁物で覆い、かつ、両電極間の隙間を絶縁物で埋め込む。この状態で全面異方性エッチング(エッチバック)を行うことにより、第1および第2ゲート電極8a、8b間の絶縁層9aと、サイドウォール絶縁層9bを同時に形成する。

【0092】図8に示すように、第1および第2ゲート電極8a、8b、絶縁層9a、9bを自己整合マスクとしてn型不純物を高濃度にイオン注入し、ソースおよびドレイン不純物領域2、4を形成する。その後は、第1実施形態と同様な諸工程を経て、メモリセルアレイを完成させる。

【0093】このような構成のメモリトランジスタに対して、第5実施形態とはほぼ同じにして電圧を設定することで、書き込みがなされる。このとき、本実施形態ではチャネル形成用の第1ゲート電極8aと注入電界制御用の第2ゲート電極8bとに分けてゲート電極が設けられていることから、プログラム電圧を別々に設定することができる。したがって、書き込み時のバイアス設定が最適化しやすい利点がある。

【0094】たとえば、書き込み時に、第1ゲート電極8aに印加するプログラム電圧を3V、第2ゲート電極8bに印加するプログラム電圧を5Vに設定する。この

ように書き込み時のバイアス電圧を最適化したうえで、バリチェック電子伝導による直接注入を行うと、書き込み速度を1μsec以下、たとえば100nsec程度まで高速化することが可能となった。

【0095】第7実施形態

図11は、第7実施形態に係るMONOS型メモリトランジスタの断面図である。

【0096】このメモリトランジスタが第6実施形態のMONOS型メモリトランジスタと大きく異なる点は、電荷注入電界を制御するための第2ゲート電極8dをサイドウォール形としたことである。これにより、トランジスタの占有面積を第2実施形態の場合よりかなり小さくすることが可能となった。サイドウォール形の第2ゲート電極8dの形成にともない、第1および第2ゲート電極8a、8d間の絶縁層に、ゲート絶縁膜6を構成する窒化膜12とトップ絶縁膜14を用いている。その他の構成は、第6実施形態と基本的に同じである。

【0097】なお、第2ゲート電極8dをサイドウォール形としたことにより、ドレイン不純物領域4と段差1bとの距離が第2実施形態の場合より近くなり、その分、チャネルの形成が容易になった。したがって、図11では、チャネル形成領域1aの表面にp型不純物領域が形成されていないが、もちろん、第6実施形態と同様にp型不純物領域3を設けてもよい。また、第6実施形態と同様、ソースおよびドレイン不純物領域2、4の内側にそれぞれLDD領域を設けてもよい。

【0098】図12(A)～図13(D)に、このMONOS型メモリトランジスタの製造方法の一例を断面図により示す。

【0099】まず、図12(A)に示すように、基板表面に段差1bを第6実施形態と同様な方法により形成する。つぎに、ボトム絶縁膜10およびゲート電極となる導電膜を成膜し、図示しないレジストなどをマスクとしたエッチングにより、ゲート電極となる導電膜をパターンニングする。これにより、段差1bの上部の所定位置に第1ゲート電極8aが形成される。

【0100】レジストを除去後、図12(B)では、窒化膜12およびトップ絶縁膜14を、第1実施形態と同様な方法によって、順次成膜する。

【0101】その後、図13(C)において、ゲート電極となる導電膜を全面に厚く堆積し、これをエッチバックする。これにより、第1ゲート電極8aの両側壁に、窒化膜12およびトップ絶縁膜14を介してサイドウォール形の導電層8d、8eが形成される。

【0102】図13(D)では、まず、この導電層8d、8eを自己整合マスクとして、その周囲に露出するトップ絶縁膜14、窒化膜12およびボトム絶縁膜10を順次除去する。段差底部側の導電層(第2ゲート電極)8dおよび第1ゲート電極8a上を覆ってマスク層、たとえばレジストR5を形成する。レジストR5を

マスクにエッチングを行って、片方の導電層8eを除去し、続いて、トップ絶縁膜14、窒化膜12およびボトム絶縁膜10を順次除去する。

【0103】レジストR5を除去後、図11に示すように、第1および第2ゲート電極8a、8d、絶縁膜12、14を自己整合マスクとしてn型不純物を高濃度にイオン注入し、ソースおよびドレイン不純物領域2、4を形成する。その後は、第1実施形態と同様な諸工程を経て、メモリセルアレイを完成させる。

【0104】このような構成のメモリトランジスタに対する書き込みでは、チャネル形成用と注入電界制御用のゲート電極を別々に設けているにもかかわらず、図7の第5実施形態の場合とトランジスタの占有面積が殆ど変わらない。したがって、高集積化に適した微細メモリセルが実現できるという利点がある。

【0105】書き込み時の電圧設定方法は、第6実施形態と基本的に同じであるが、本実施形態の場合、第1および第2ゲート電極8a、8d間の絶縁膜が酸化膜換算値で10nm未満と薄いので、第1ゲート電極8aの印加電圧に応じた横方向の電界強度が高く、その横方向電界がキャリアの注入をアシストするように作用する。このため、とくに段差1aのコーナー部分に近いキャリアトラップに効率よく電荷が注入される。つまり、第6実施形態のトランジスタ構造に比べ、ゲート電極の占有面積に対する電荷蓄積量の比率を大きくできる利点がある。また、この横方向電界のアシストによって電荷注入効率がより高くなり、その分、書き込み速度を上げることが可能となる。

【0106】第8実施形態
図14は、第8実施形態に係るMONOS型メモリトランジスタの断面図である。

【0107】このメモリトランジスタが第7実施形態のMONOS型メモリトランジスタと大きく異なる点は、基板のチャネル形成領域1aに段差を設けていないことにある。したがって、注入方式そのものは基本的にはソースサイド注入である。その他の構成は、第7実施形態と基本的に同じである。本実施形態では、第7実施形態と同様に、ゲート電極をチャネル形成用と注入電界制御用とに分けて形成している。また、本実施形態においては、書き込み速度を1 μ s \times 10³に高速化し、かつ、動作電圧を7Vに低電圧化している。そのためには、公知例と比較して、ゲート絶縁膜6のうちボトム絶縁膜10を4nm以下にし、かつ、消去をチャネル方向に電子を引き抜くことにより行う。

【0108】なお、製造方法については、第7実施形態の製造方法において段差の形成工程を省略すればよいので、ここでの説明は省略する。

【0109】このような構成のメモリトランジスタに対して、第7実施形態とほぼ同じ様にして電圧を設定することで、書き込みがなされる。たとえば、書き込み時

に、第1ゲート電極8aに印加するプログラム電圧を5V、第2ゲート電極8bに印加するプログラム電圧を7Vに設定する。このように書き込み時のバイアス電圧を最適化したうえで、チャネルホットエレクトロン注入により書き込みを行う。

【0110】本実施形態では、第7実施形態と同様、チャネル形成用の第1ゲート電極8aと注入電界制御用の第2ゲート電極8bとに分けてゲート電極が設けられていることから、プログラム電圧を別々に設定することができる。したがって、書き込み時のバイアス設定が最適化しやすい利点がある。また、チャネル形成用と注入電界制御用のゲート電極を別々に設けているにもかかわらず、図7の第5実施形態の場合とトランジスタの占有面積が殆ど変わらない。したがって、高集積化に適した微細メモリセルが実現できるという利点がある。

【0111】以下に、メモリセルアレイ構成、メモリセルおよびメモリトランジスタの構造に関する他の実施形態を説明する。

【0112】第9実施形態

本実施形態に係るメモリセルおよびメモリセルアレイは、ビット線およびソース線が階層化された分離ソース線NOR型である。図15に、このNOR型メモリセルアレイの回路構成を示す。また、図16に、このNOR型メモリセルアレイの平面図を、図17に、図16のB-B'線に沿った断面図から見た鳥瞰図を示す。

【0113】この不揮発性メモリ装置では、ビット線が主ビット線と副ビット線に階層化され、ソース線が主ソース線と副ソース線に階層化されている。主ビット線MBL1に選択トランジスタS11を介して副ビット線SBL1が接続され、主ビット線MBL2に選択トランジスタS21を介して副ビット線SBL2が接続されている。また、主ソース線MSL1に選択トランジスタS12を介して副ソース線SSL1が接続され、主ソース線MSL2に選択トランジスタS22を介して副ソース線SSL2が接続されている。

【0114】副ビット線SBL1と副ソース線SSL1との間に、メモリトランジスタM11 \sim M1n（たとえば、n=128）が並列接続され、副ビット線SBL2と副ソース線SSL2との間に、メモリトランジスタM21 \sim M2nが並列接続されている。この互いに並列に接続されたn個のメモリトランジスタと、2つの選択トランジスタ（S11とS12、又は、S21とS22）とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0115】ワード方向に隣接するメモリトランジスタM11、M21、…の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタM12、M22、…の各ゲートがワード線WL2に接続され、また、メモリトランジスタM1n、M2n、…の各ゲートがワード線WLnに接続されている。ワード方向に隣接する

選択トランジスタS11, ...は選択線SG11により制御され、選択トランジスタS21, ...は選択線SG21により制御される。同様に、ワード方向に隣接する選択トランジスタS12, ...は選択線SG12により制御され、選択トランジスタS22, ...は選択線SG22により制御される。

【0116】この微細NOR型セルアレイでは、図17に示すように、半導体基板SUBの表面にpウェルWが形成されている。pウェルWは、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された素子分離絶縁層ISOにより、ワード方向に絶縁分離されている。

【0117】素子分離絶縁層ISOにより分離された各pウェル部分が、メモリトランジスタの能動領域となる。能動領域内の幅方向両側で、互いの距離をおいた平行ストライプ状にn型不純物が高濃度に導入され、これにより、副ビット線SBL1, SBL2(以下、SBLと表記)、副ソース線SSL1, SSL2(以下、SSLと表記)が形成されている。副ビット線SBLが“第1不純物領域”、副ソース線SSLが“第2不純物領域”に該当する。副ビット線SBLおよび副ソース線SSL上に絶縁膜を介して直交して、各ワード線WL1, WL2, WL3, WL4, ... (以下、WLと表記)が等間隔に配線されている。これらのワード線WLは、内部に電荷蓄積手段を含む絶縁膜を介してpウェルW上および素子分離絶縁層ISO上に接している。副ビット線SBLと副ソース線SSLとの間のpウェルWの部分と、各ワード線WLとの交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【0118】ワード線WLの上面および側壁は、オフセット絶縁層およびサイドウォール絶縁層(本例では、通常の層間絶縁層でも可)により覆われている。これら絶縁層には、所定間隔で副ビット線SBLに達するビットコンタクトBCと、副ソース線SSLに達するソースコンタクトSCとが形成されている。これらのコンタクトBC, SCは、たとえば、ビット方向のメモリトランジスタ128個ごとに設けられている。また、絶縁層上を、ビットコンタクトBC上に接触する主ビット線MBL1, MBL2, ...と、ソースコンタクトSC上に接触する主ソース線MSL1, MBL2, ...が交互に、平行ストライプ状に形成されている。

【0119】この微細NOR型セルアレイは、第1共通線(ビット線)および第2共通線(ソース線)が階層化され、メモリセルごとにビットコンタクトBCおよびソースコンタクトSCを形成する必要がない。したがって、コンタクト抵抗自体のパラメータは基本的にない。ビットコンタクトBCおよびソースコンタクトSCは、たとえば128個のメモリセルごとに設けられるが、このプラグ形成を自己整合的に行わないときは、オフセット

絶縁層およびサイドウォール絶縁層は必要ない。すなわち、通常の層間絶縁膜を厚く堆積してメモリトランジスタを埋め込んだ後、通常のフォトリソグラフィとエッチングによりコンタクトを開く。

【0120】副ビット線、副ソース線を不純物領域で構成した疑似コンタクトレス構造として無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、BF2に近い非常に小さいセル面積で製造できる。本実施形態では1つのメモリセル内の2か所に、独立に電子を高速度で注入できるため、ビット当たりのセル面積は4F2となる。また、ソース線を分離しているため、ページ書き込みも可能となる。さらに、ビット線とソース線が階層化されており、選択トランジスタS11又はS21が非選択の単位ブロックにおける並列メモリトランジスタ群を主ビット線MBL1またはMBL2から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、選択トランジスタS12またはS22の働きで、副ソース線を主ソース線から切り離して、低容量化することができる。なお、更なる高速化のためには、副ビット線SBLおよび副ソース線SSLをシリサイドを張りつけた不純物領域で形成し、主ビット線MBLおよび主ソース線MSLをメタル配線とするとよい。

【0121】第10実施形態
第10実施形態に係るメモリセルおよびメモリセルアレイは、自己整合技術と逆行ソース線をを用いた微細NOR型である。図18は、第10実施形態に係るNOR型セルアレイの概略平面図である。

【0122】このNOR型セルアレイでは、pウェルの表面に縦帯状のトレンチまたはLOCOSなどからなる素子分離絶縁層ISOが等間隔でビット方向(図18の縦方向)に配置されている。素子分離絶縁層ISOにはほぼ直交して、各ワード線WLm-2, WLm-1, WLm, WLm+1が等間隔に配線されている。このワード線を含む層構造は、前述の実施形態と同様に、ボトム絶縁膜、窒化膜、トップ絶縁膜及びゲート電極の層構造から構成されている。

【0123】各素子分離絶縁層の間隔内の能動領域において、各ワード線の離間スペースに、例えばn型不純物が高濃度に導入されてソース不純物領域Sとドレイン不純物領域Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向(図18の横方向)には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに關しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0124】各ワード線の周囲は、サイドウォール絶縁層を形成するだけで、ソース不純物領域Sとドレイン不

純物領域Dとに対し、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールとが2度のセルフアラインコンタクト技術と同時に転写しながら形成される。しかも、上記プロセスはフォトリソが不要となる。したがって、先に述べたようにソース不純物領域Sとドレイン不純物領域Dの大きさや配置が均一な上に、これに対して2次元的に自己整合して形成されるビット線またはソース線接続用のコンタクトホールの大きさも極めて均一となる。また、上記コンタクトホールはソース不純物領域Sとドレイン不純物領域Dの面積に対し、ほぼ最大限の大きさを有している。

【0125】その上でビット方向に配線されているソース線 S_{Ln-1} 、 S_{Ln} 、 S_{Ln+1} （以下、 S_L と表記）は、ドレイン不純物領域Dを避けながら素子分離絶縁層150上とソース不純物領域S上に蛇行して配置され、上記ソース線接続用のコンタクトホールを介して、下層の各ソース不純物領域Sに接続されている。ソース線 S_L 上には、第2の層間絶縁膜を介してビット線 B_{Ln-1} 、 B_{Ln} 、 B_{Ln+1} （以下、 B_L と表記）が等間隔で配線されている。このビット線 B_L は、能動領域上方に位置し、ビット線接続用のコンタクトホールを介して、下層の各ドレイン不純物領域Dに接続されている。

【0126】このような構成のセルパターンでは、上記したように、ソース不純物領域Sとドレイン不純物領域Dの形成がマスク合わせの影響を受けにくく、また、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールが、2度のセルフアライン技術を一括転写して形成されることから、コンタクトホールがセル面積縮小の制限要素とはならず、ウエハプロセス限界の最小線幅Fでソース配線等ができ、しかも、無駄な空間が殆どないことから、6F2に近い非常に小さいセル面積が実現できる。1つのメモセル内の2か所に独立に電子を注入することができ、この場合、ビット当たりのセル面積は3F2となる。

【0127】第11実施形態

第11実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ例えば10ナノメートル以下の径を有する多数の互いに絶縁されたSiナノ結晶を用いた不揮発性半導体記憶装置（以下、Siナノ結晶型という）に関する。

【0128】図19は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。本実施形態のSiナノ結晶型不揮発性メモリが、先の第5実施形態と異なるのは、電荷蓄積手段がナノ結晶32であること、および、本実施形態のゲート絶縁膜30が、Siナノ結晶32が上面に形成されたボトム絶縁膜10と、その上の酸化膜34とから構成されていることである。その他の構成は、第5実施形態と同様である。

【0129】Siナノ結晶32は、そのサイズ（直径）が、好ましくは10nm以下、例えば4.0nm程度で

あり、個々のSiナノ結晶同士が酸化膜34で空間的に、例えば4nm程度の間隔で分離されている。本例におけるボトム絶縁膜10は、電荷蓄積手段（Siナノ結晶32）が基板側に近いこととの関係で、第5実施形態よりやや厚く、使用用途に応じて2.6nmから5.0nmまでの範囲内で適宜選択できる。ここでは、4.0nm程度の膜厚とした。

【0130】このような構成のメモリトランジスタの製造では、ボトム絶縁膜10の成膜後、例えばプラズマCVD法でボトム絶縁膜10の上に、多数のSiナノ結晶32を形成する。また、Siナノ結晶32を埋め込むように、酸化膜34を、例えば7nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。このときSiナノ結晶32は酸化膜34に埋め込まれる。平坦化が必要な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後、ゲート電極8を成膜し、ゲート絶縁膜を一括してパターンニングする工程を経て、当該Siナノ結晶型メモリトランジスタを完成させる。

【0131】このように形成されたSiナノ結晶32は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1eV程度とされる。この大きさの個々のSiナノ結晶32は、数個の注入電子を保持できる。なお、Siナノ結晶32を更に小さくして、これに単一電子を保持させてもよい。

【0132】このような構成のSiナノ結晶型不揮発性メモリについて、ランドキストのバックトンネリングモデルによりデータ保持特性を検討した。データ保持特性を向上させるためには、トラップレベルを深くして、電荷重心と半導体基板1との距離を大きくすることが重要となる。そこで、ランドキストモデルを物理モデルに用いたシミュレーションにより、トラップレベル3.1eVの場合のデータ保持を検討した。この結果、トラップレベル3.1eVの深いキャリアトラップを用いることにより、電荷保持媒体からチャネル形成領域1aまでの距離が4.0nmと比較的に近い場合でも良好なデータ保持を示すことが分かった。

【0133】第12実施形態

第12実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割FG型という）に関する。

【0134】図20は、この微細分割FG型メモリトランジスタの素子構造を示す断面図である。本実施形態の微細分割FG型不揮発性メモリが、先の第5実施形態と異なるのは、電荷蓄積手段が微細分割型フローティングゲートからなること、メモリトランジスタがSOI基板

に形成されていること、および、本実施形態のゲート絶縁膜40が、微細分割型フローティングゲート42が上面に形成されたボトム絶縁膜10と、その上の酸化膜44とから構成されていることである。その他の構成は、第5実施形態と同様である。この微細分割型フローティングゲート42は、先の第11実施形態のSiナノ結晶32とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0135】SOI基板としては、酸素イオンをシリコン基板に高温で注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX (Separation by Implanted Oxygen) 基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張り合せ基板などが用いられる。このような方法によって形成され図20に示したSOI基板は、支持基板46、分離酸化膜48およびシリコン層50とから構成され、シリコン層50内に、チャネル形成領域1a、ソース不純物領域2およびドレイン不純物領域4が設けられている。なお、支持基板46は、半導体基板のほか、ガラス基板、プラスチック基板、サファイア基板等を用いてもよい。

【0136】微細分割型フローティングゲート42は、通常のFG型のフローティングゲートを、その高さが例えば5.0nm程度で、直径が例えば8nmまでの微細なポリSiドットに加工したものである。本例におけるボトム絶縁膜10は、第1実施形態よりやや厚いが、通常のFG型に比べると格段に薄く形成され、使用用途に応じて2.5nmから4.0nmまでの範囲内で適宜選択できる。ここでは、最も薄い2.5nmの膜厚とした。

【0137】このような構成のメモリトランジスタの製造では、SOI基板上にボトム絶縁膜10を成膜した後、例えばLP-CVD法で、ボトム絶縁膜10の上にポリシリコン膜(最終膜厚:5nm)を成膜する。このLP-CVDでは、原料ガスがDCSとアンモニアの混合ガス、基板温度が例えば650℃とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径が例えば8nmまでの微細なポリSiドットに加工する。このポリSiドットが、微細分割型フローティングゲート42(電荷蓄積手段)である。その後、微細分割型フローティングゲート42を埋め込むかたちで、酸化膜44を、例えば9nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。この時、微細分割型フローティングゲート42は酸化膜44に埋め込まれる。平坦化が必要な場合は、新たに平坦化プロセス(例えばCMP等)を行うとよい。その後、ゲート電極8を成膜し、ゲート絶縁膜を一括してパターンニングする工程を経て、当該微細分割FG型メモリトランジスタを完成させる。

【0138】このようにSOI基板を用い、フローティングゲートが微細に分割されることについては、素子を

試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

【0139】変形例

以上述べてきた第1～第12実施形態において、種々の変形が可能である。

【0140】とくに図示しないがDINOR型、いわゆるHICR型と称されソース線を隣接する2つのソース領域で共有した分離ソース型のセルアレイから構成される微細NOR型セルなどの各種NOR型セルに対し本発明が適用できる。

【0141】本発明における“平面的に離散化された電荷蓄積手段”は、酸化膜バルクのキャリアトラップおよび酸化膜と酸化膜界面付近に形成されたキャリアトラップを含むことから、ゲート絶縁膜がNO(Nitride-Oxide)膜なるMNO S型であっても本発明が適用できる。

【0142】本発明は、スタンダード型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベデッド型の不揮発性メモリに対しても適用可能である。なお、第12実施形態のようにSOI基板を用いることは、第1～第11実施形態のメモリトランジスタ構造に重複して適用可能である。

【0143】

【発明の効果】本発明に係る不揮発性半導体記憶装置及びその駆動方法によれば、加速電荷が運動量(方向と大きさ)を維持しながら効率良く、しかも高速に電荷蓄積手段に注入される結果、高い書き込み速度を得ることができる。また、たとえばチャネル形成用と注入電界制御用として第1、第2ゲート電極を有することから、高い書き込み速度を得るためのゲート電圧設定が容易である。さらに、電子の引き抜きで消去することから信頼性および耐久性が高い、複数ビットの書き込みの適用が容易でありビットコストを低減しやすいなどの利点もある。

【図面の簡単な説明】

【図1】第1実施形態に係る不揮発性半導体メモリのソース分離NOR型メモリセルアレイの概略構成を示す回路図である。

【図2】第1実施形態に係るNOR型メモリセルアレイの概略平面図である。

【図3】第1実施形態に係る図2のメモリセルアレイでA-A'線に沿った断面側から見た斜視図である。

【図4】第1実施形態に係るMONOS型メモリトランジスタの素子構造を示す断面図である。

【図5】第2実施形態に係る不揮発性半導体メモリの仮想接地NOR型メモリセルアレイの概略構成を示す回路図である。

【図6】第4実施形態に係るメモリトランジスタの素子構造例を示す断面図である。

【図7】第5実施形態に係るMONOSメモリトランジスタの素子構造を示す断面図である。

【図 8】第 6 実施形態に係る MONOS メモリトランジスタの素子構造を示す断面図である。

【図 9】第 6 実施形態に係る MONOS メモリトランジスタの製造において、LDD 領域形成後の断面図である。

【図 10】図 9 に続く、ゲート電極を分離し端面に絶縁層を形成した後の断面図である。

【図 11】第 7 実施形態に係る MONOS メモリトランジスタの素子構造を示す断面図である。

【図 12】第 7 実施形態に係る MONOS メモリトランジスタの製造において、ゲート絶縁膜の成膜後の断面図である。

【図 13】図 12 に続く、片方のサイドウォール形成電層を除去した後の断面図である。

【図 14】第 8 実施形態に係る MONOS メモリトランジスタの素子構造を示す断面図である。

【図 15】第 9 実施形態に係る NOR 型メモリセルアレイの構成を示す回路図である。

【図 16】第 9 実施形態に係る NOR 型メモリセルアレイの平面図である。

【図 17】第 9 実施形態に係る NOR 型メモリセルアレイにおいて、図 16 の B-B' 線に沿った断面側から見た鳥瞰図である。

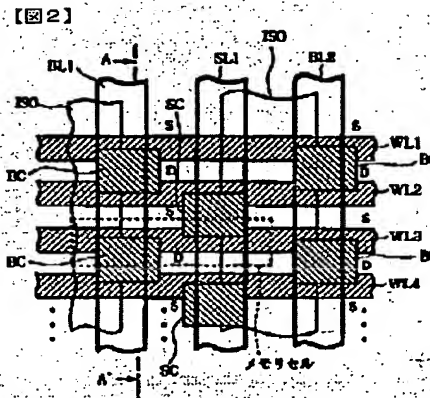
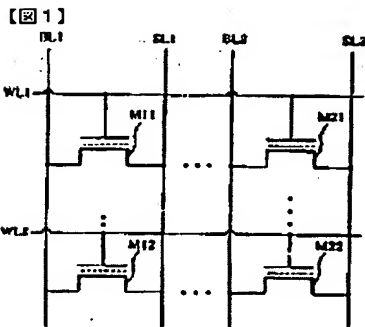
【図 18】第 10 実施形態に係る微細 NOR 型セルアレイの概略構成を示す平面図である。

【図 19】第 11 実施形態に係る Si ナノ結晶型メモリトランジスタの素子構造を示す断面図である。

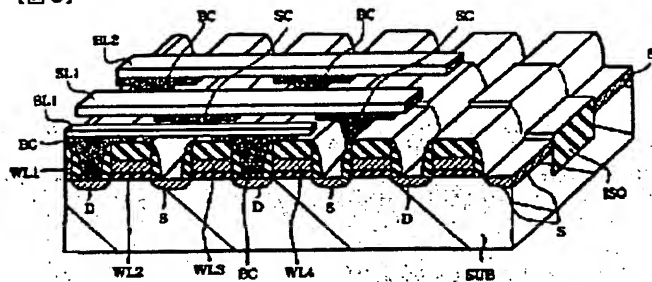
【図 20】第 12 実施形態に係る微細分割 FG 型メモリトランジスタの素子構造を示す断面図である。

【符号の説明】

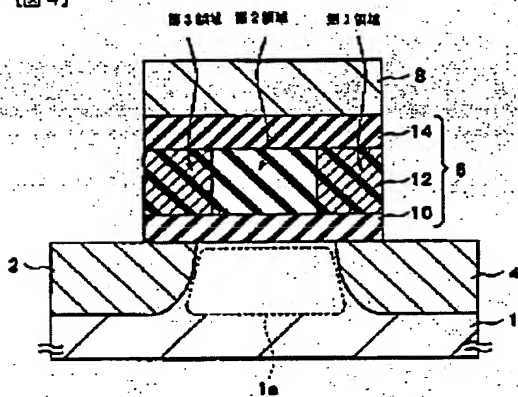
1…半導体基板またはウエル、1a…チャネル形成領域、2…S…ソース不純物領域（第 2 不純物領域）、4…D…ドレイン不純物領域（第 1 不純物領域）、5、30、40…ゲート絶縁膜、8…ゲート電極、10…ボトム絶縁膜、12…酸化膜、14…トップ絶縁膜、32…Si ナノ結晶、34、44…酸化膜、42…微細分割型フローティングゲート、46…半導体基板、48…分離酸化膜、50…シリコン層、60…p ウエル、61…p ウエル、150…素子分離絶縁層、PW…p ウエル、M11～M22…メモリトランジスタ、S11、STO 等…選択トランジスタ、BL1 等…ビット線、MBL1 等…主ビット線、SBL…副ビット線、SL1 等…ソース線、MSL…主ソース線、SSL1 等…副ソース線、WL1 等…ワード線、BC…ビットコンタクト、SC…ソースコンタクト。



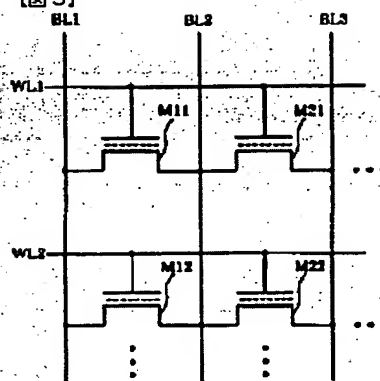
【圖 3】



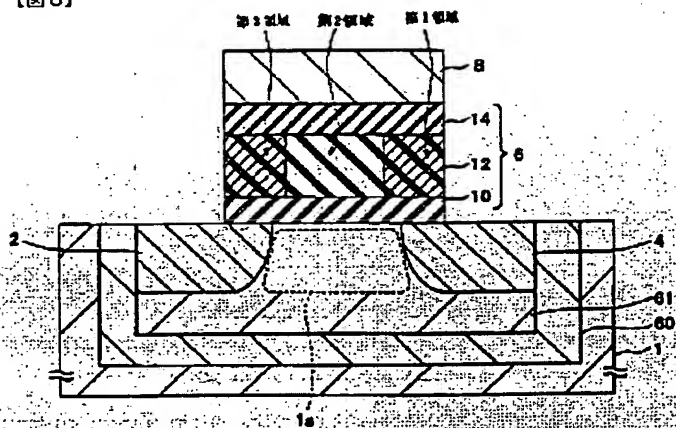
【圖 4】



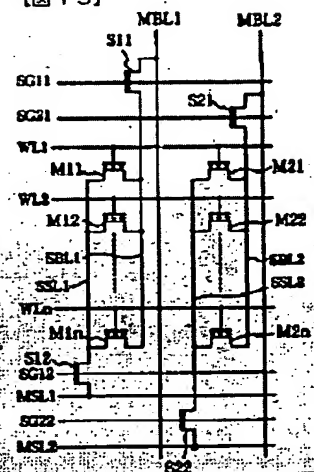
【図 5】



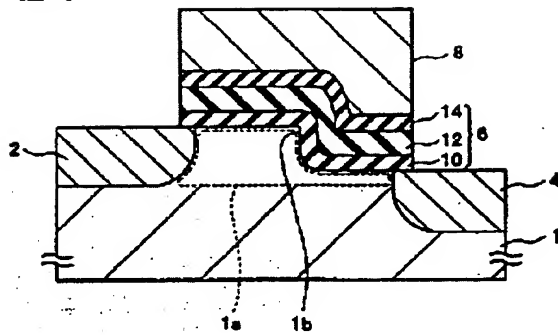
【図6】



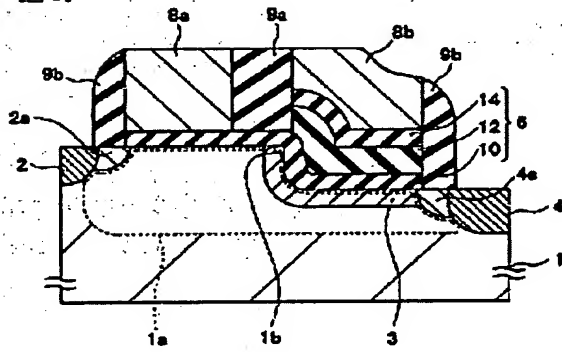
【图 15】



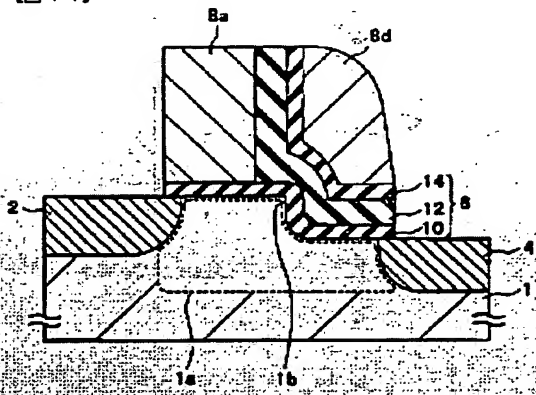
【図 7】



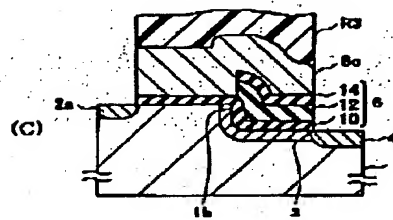
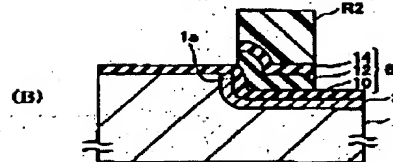
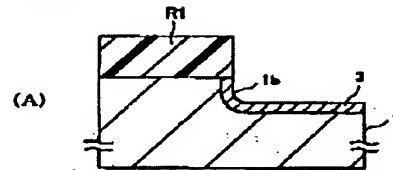
【図 8】



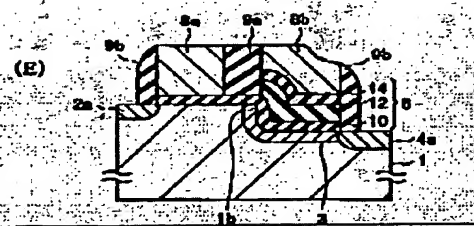
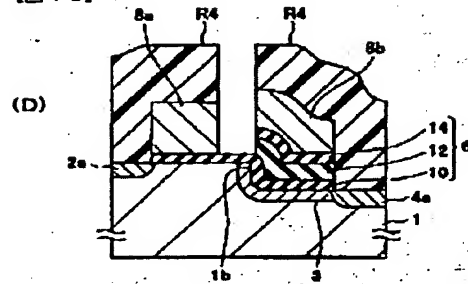
【図 11】



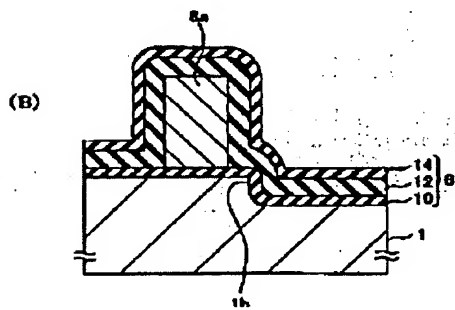
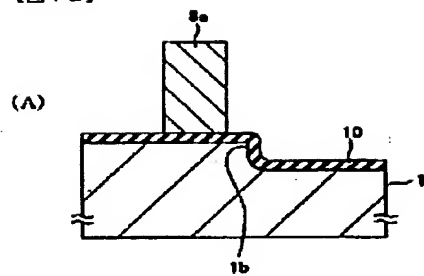
【図 9】



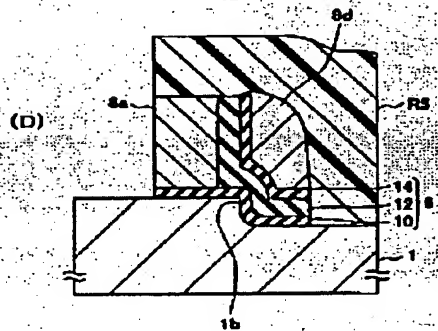
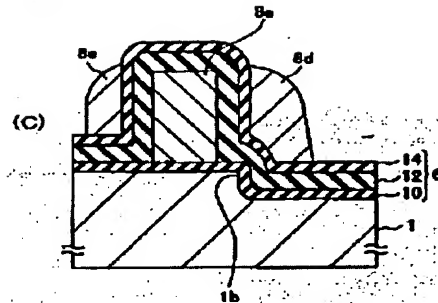
【図 10】



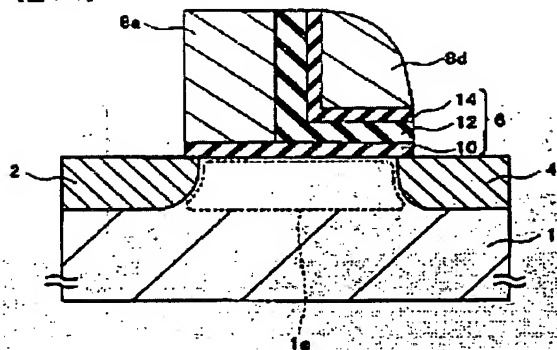
【図 12】



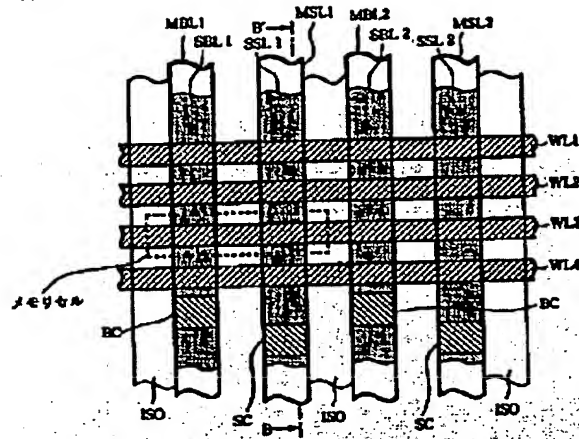
【図 13】



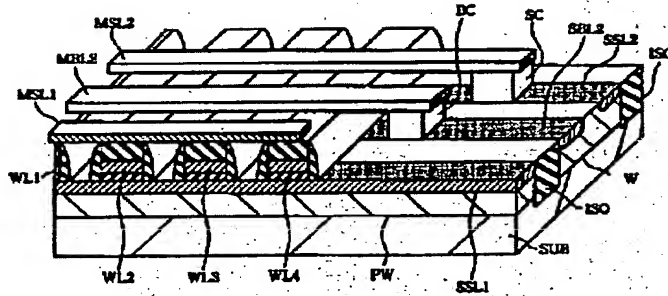
【図 14】



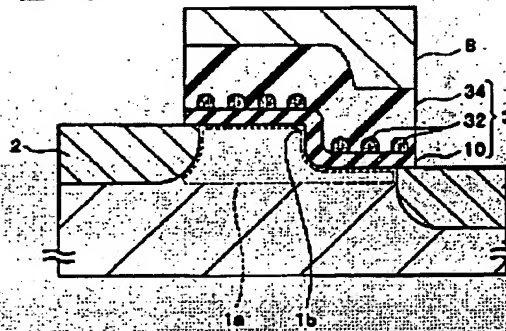
【図 16】



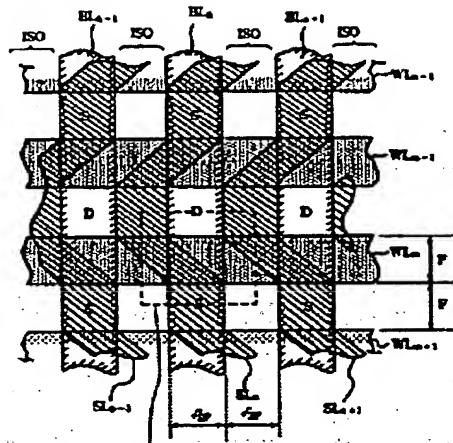
【図 17】



【図 19】

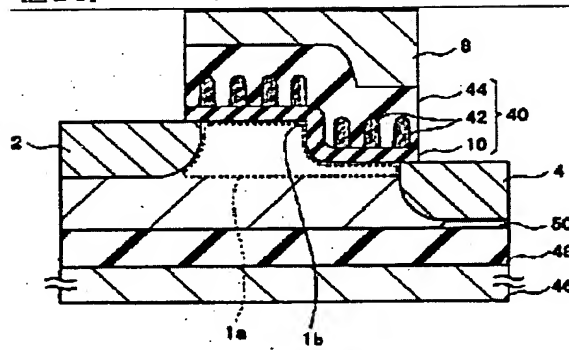


【図18】



インメモリセル (1bit/cell)

【図20】



フロントページの続き

Fターム(参考) 5F001 AA14 AA19 AA34 AB02 AB03

AC02 AC04 AC06 AC62 AD15

AD17 AD18 AD21 AD23 AE02

AE08 AF06 AF20 AG02 AG21

AG30

5F083 EP09 EP14 EP15 EP17 EP18

EP22 EP49 EP55 EP63 EP68

EP77 ER02 ER05 ER06 ER14

ER19 ER22 ER23 ER30 GA30

HA03 JA04 JA35 JA39 JA53

KA06 KA12 MA02 MA06 MA20

PR12 PR21 PR33 ZA21

5F101 BA16 BA46 BA54 BB02 BB04

BC02 BC07 BC11 BC13 BD05

BD07 BD09 BD13 BD15 BE05

BE07 BF02 BF05 BH02 BH03

BH16

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.